**Тезаурусный словарь**

RISC (англ. reduced instruction set computer — компьютер с набором коротких (простых, быстрых) команд) — архитектура процессора, в которой быстродействие увеличивается за счёт упрощения инструкций, чтобы их декодирование было более простым, а время выполнения — меньшим. Первые RISC-процессоры даже не имели инструкций умножения и деления. Это также облегчает повышение тактовой частоты и делает более эффективной суперскалярность (распараллеливание инструкций между несколькими исполнительными блоками).

CISC (англ. complex instruction set computing или complex instruction set computer) — тип процессорной архитектуры, которая характеризуется следующим набором свойств:

* нефиксированное значение длины команды;
* арифметические действия кодируются в одной команде;
* небольшое число регистров, каждый из которых выполняет строго определённую функцию.

MISC (Multipurpose lnstruction Set Computer). Элементная база состоит из двух частей, которые либо выполнены в отдельных корпусах, либо объединены. Основная часть – RISC CPU, расширяемый подключением второй части – ПЗУ микропрограммного управления. Система приобретает свойства CISC. Основные команды работают на RISC CPU, а команды расширения преобразуются в адрес микропрограммы. RISC CPU выполняет все команды за один такт, а вторая часть эквивалентна CPU со сложным набором команд. Наличие ПЗУ устраняет недостаток RISC, выраженный в том, что при компиляции с языка высокого уровня микрокод генерируется из библиотеки стандартных функций, занимающей много места в ОЗУ. Поскольку микропрограмма уже дешифрована и открыта для программиста, то времени выборки из ОЗУ на дешифрацию не требуется.

**Ментальная карта**

**Процессорное ядро и память микроконтроллеров**

Процессорное ядро микроконтроллера

Классификация и структура микроконтроллеров

# Процессорное ядро и память микроконтроллеров

1. ***Классификация и структура микроконтроллеров***

В настоящее время выпускается *целый* ряд типов *МК*. Все эти приборы можно условно разделить на три основных класса:

* 8-разрядные *МК* для встраиваемых приложений;
* 16- и 32-разрядные *МК* ;
* цифровые сигнальные процессоры (*DSP*).

Наиболее распространенным представителем семейства МК являются 8-разрядные приборы, широко используемые в промышленности, бытовой и компьютерной технике. Они прошли в своем развитии путь от простейших приборов с относительно слаборазвитой периферией до современных многофункциональных контроллеров, обеспечивающих реализацию сложных алгоритмов управления в реальном масштабе времени. Причиной жизнеспособности 8-разрядных МК является использование их для управления реальными объектами, где применяются, в основном, алгоритмы с преобладанием логических операций, скорость обработки которых практически не зависит от разрядности процессора.

Росту популярности 8-разрядных МК способствует постоянное расширение номенклатуры изделий, выпускаемых такими известными фирмами, как Motorola, Microchip, Intel, Zilog, Atmel и многими другими. Современные 8-разрядные МК обладают, как правило, рядом отличительных признаков. Перечислим основные из них:

* модульная организация, при которой на базе одного *процессорного ядра* (центрального процессора) проектируется ряд (линейка) *МК*, различающихся объемом и типом *памяти программ*, объемом *памяти данных*, набором периферийных модулей, частотой синхронизации;
* использование закрытой архитектуры *МК*, которая характеризуется отсутствием линий *магистралей* адреса и данных на выводах корпуса *МК*. Таким образом, *МК* представляет собой законченную систему обработки данных, наращивание возможностей которой с использованием параллельных *магистралей* адреса и данных не предполагается;
* использование типовых функциональных периферийных модулей (таймеры, *процессоры событий*, контроллеры *последовательных интерфейсов*, *аналого-цифровые преобразователи* и др.), имеющих незначительные отличия в алгоритмах работы в *МК* различных производителей;
* расширение числа режимов работы периферийных модулей, которые задаются в процессе инициализации регистров специальных функций *МК*.

При модульном принципе построения все *МК* одного семейства содержат *процессорное ядро*, одинаковое для всех *МК* данного семейства, и изменяемый функциональный блок, который отличает *МК* разных моделей. Структура модульного *МК* приведена на *рис. 1.*

***Процессорное ядро*** включает в себя:

* центральный процессор;
* внутреннюю контроллерную магистраль (ВКМ) в составе *шин адреса*, данных и управления;
* схему синхронизации *МК* ;
* схему управления режимами работы *МК*, включая поддержку режимов пониженного *энергопотребления*, начального запуска (сброса) и т.д.

Изменяемый функциональный блок включает в себя модули памяти различного типа и объема, порты ввода/вывода, модули *тактовых генераторов* (Г), таймеры. В относительно простых *МК* *модуль* обработки прерываний входит в состав *процессорного ядра*. В более сложных *МК* он представляет собой отдельный *модуль* с развитыми возможностями. В состав изменяемого функционального блока могут входить и такие дополнительные модули как компараторы напряжения, *аналого-цифровые преобразователи* (*АЦП*) и другие. Каждый *модуль* проектируется для работы в составе *МК* с учетом протокола ВКМ. Данный подход позволяет создавать разнообразные по структуре *МК* в пределах одного семейства.

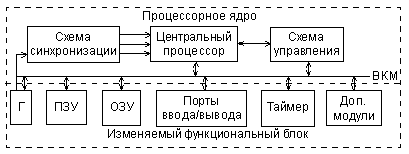


Рисунок 1 Модульная организация МК.

1. ***Процессорное ядро микроконтроллера***
   1. ***Структура процессорного ядра МК***

Основными характеристиками, определяющими производительность *процессорного ядра*   *МК*, являются:

* набор регистров для хранения промежуточных данных;
* *система команд* процессора;
* *способы адресации* операндов в пространстве памяти;
* организация процессов выборки и исполнения *команды*.

С точки зрения *системы команд* и способов адресации операндов *процессорное ядро* современных 8-разрядных *МК* реализует один из двух принципов построения процессоров:

* процессоры с *CISC*-архитектурой, реализующие так называемую полную *систему команд* (Complicated *Instruction Set* Computer);
* процессоры с RISC-архитектурой, реализующие сокращенную *систему команд* (*Reduced* *Instruction Set* Computer).

CISC-процессоры выполняют большой набор команд с развитыми возможностями адресации, давая разработчику возможность выбрать наиболее подходящую команду для выполнения необходимой операции. В применении к 8-разрядным МК процессор с CISC-архитектурой может иметь однобайтовый, двухбайтовый и трехбайтовый (редко четырехбайтовый) формат команд. При этом система команд, как правило, неортогональна, то есть не все команды могут использовать любой из способов адресации применительно к любому из регистров процессора. Выборка команды на исполнение осуществляется побайтно в течение нескольких циклов работы МК. Время выполнения команды может составлять от 1 до 12 циклов. К МК с CISC-архитектурой относятся МК фирмы Intel с ядром MCS-51, которые поддерживаются в настоящее время целым рядом производителей, МК семейств НС05, НС08 и НС11 фирмы Motorola и ряд других.

В процессорах с RISC-архитектурой набор исполняемых команд сокращен до минимума. Для реализации более сложных операций приходится комбинировать команды. При этом все команды имеют формат фиксированной длины (например, 12, 14 или 16 бит), выборка команды из памяти и ее исполнение осуществляется за один цикл (такт) синхронизации. Система команд RISC-процессора предполагает возможность равноправного использования всех регистров процессора. Это обеспечивает дополнительную гибкость при выполнении ряда операций. К МК с RISC-процессором относятся МК AVR фирмы Atmel, МК PIC16 и PIC17 фирмы Microchip и другие.

На первый взгляд, МК с RISC-процессором должны иметь более высокую производительность по сравнению с CISC МК при одной и той же тактовой частоте внутренней магистрали. Однако на практике вопрос о производительности более сложен и неоднозначен.

Во-первых, оценка производительности МК по времени выполнения команд различных систем (RISC и CISC) не совсем корректна. Обычно производительность МП и МК принято оценивать числом операций пересылки "регистр-регистр", которые могут быть выполнены в течение одной секунды. В МК с CISC-процессором время выполнения операции "регистр-регистр" составляет от 1 до 3 циклов, что, казалось бы, уступает производительности МК с RISC-процессором. Однако стремление к сокращению формата команд при сохранении ортогональности системы команд RISC-процессора приводит к вынужденному ограничению числа доступных в одной команде регистров. Так, например, системой команд МК PIC16 предусмотрена возможность пересылки результата операции только в один из двух регистров — регистр-источник операнда f или рабочий регистр W. Таким образом, операция пересылки содержимого одного из доступных регистров в другой (не источник операнда и не рабочий) потребует использования двух команд. Такая необходимость часто возникает при пересылке содержимого одного из регистров общего назначения (РОН) в один из портов МК. В то же время, в системе команд большинства CISC-процессоров присутствуют команды пересылки содержимого РОН в один из портов ввода/вывода. То есть более сложная система команд иногда позволяет реализовать более эффективный способ выполнения операции.

Во-вторых, оценка производительности МК по скорости пересылки "регистр-регистр" не учитывает особенностей конкретного реализуемого алгоритма управления. Так, при разработке быстродействующих устройств автоматизированного управления основное внимание следует уделять времени выполнения операций умножения и деления при реализации уравнений различных передаточных функций. А при реализации пульта дистанционного управления бытовой техникой следует оценивать время выполнения логических функций, которые используются при опросе клавиатуры и генерации последовательной кодовой посылки управления. Поэтому в критических ситуациях, требующих высокого быстродействия, следует оценивать производительность на множестве тех операций, которые преимущественно используются в алгоритме управления и имеют ограничения по времени выполнения.

В-третьих, необходимо еще учитывать, что указанные в справочных данных на МК частоты синхронизации обычно соответствуют частоте подключаемого кварцевого резонатора, в то время как длительность цикла центрального процессора определяется частотой обмена по ВКМ. Соотношение этих частот индивидуально для каждого МК и должно быть принято в расчет при сравнении производительности различных моделей контроллеров.

С точки зрения организации процессов выборки и исполнения команды в современных 8-разрядных МК применяется одна из двух уже упоминавшихся архитектур МПС: фон-неймановская (принстонская) или гарвардская.